

11002 U.S. PTO
10/082125



대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 9965 호
Application Number PATENT-2001-0009965

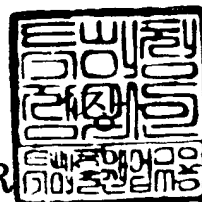
출원년월일 : 2001년 02월 27일
Date of Application FEB 27, 2001

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.

2001 년 09 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0007
【제출일자】 2001.02.27
【국제특허분류】 G02F
【발명의 명칭】 액정표시패널의 양 방향 구동 회로
【발명의 영문명칭】 Circuit for bi-directional driving liquid crystal display panel

【출원인】

【명칭】 엘지 . 필립스 엘시디 주식회사
【출원인코드】 1-1998-101865-5

【대리인】

【성명】 김용인
【대리인코드】 9-1998-000022-1
【포괄위임등록번호】 1999-054732-1

【대리인】

【성명】 심창섭
【대리인코드】 9-1998-000279-9
【포괄위임등록번호】 1999-054731-4

【발명자】

【성명의 국문표기】 박재덕
【성명의 영문표기】 PARK, Jae Deok
【주민등록번호】 671228-1079519
【우편번호】 730-380
【주소】 경상북도 구미시 옥계동 617 부영아파트 203동 1105호

【국적】 KR

【발명자】

【성명의 국문표기】 여주천
【성명의 영문표기】 YE0, Ju Cheon
【주민등록번호】 671224-1789814
【우편번호】 730-380

【주소】 경상북도 구미시 옥계동 617 부영아파트 203동
1005호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합
니다. 대리인
김용인 (인) 대리인
심창섭 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	23 면	23,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】		52,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 클럭 신호의 위상과 시작 펄스의 인가 방법을 달리하여 양 방향 스캔이 가능하도록 한 액정표시패널의 양 방향 구동 회로에 관한 것으로, 복수개의 블록을 구비한 액정표시패널의 구동회로에 있어서, 각 블록은, 시작 펄스 또는 그 전 블록의 출력신호가 입력되도록 구성된 제 1 시작 펄스 입력단과, 상기 시작 펄스 또는 그 다음 블록의 출력신호가 입력되도록 구성된 제 2 시작 펄스 입력단을 포함하거나, 첫 번째 블록의 입력단에 인가되는 시작 펄스 신호를 스위칭하고 나머지 블록의 입력단에 인가되는 그 이전 블록의 출력신호를 스위칭하는 제 1 스위칭부와, 마지막 블록의 입력단에 인가되는 시작 펄스 신호를 스위칭하고 나머지 블록의 입력단에 인가되는 그 이전 블록의 출력 신호를 스위칭하는 제 2 스위칭부를 구비한 것이다.

【대표도】

도 4

【색인어】

액정표시패널의 양 방향 구동회로, 양 방향 쉬프트 레지스터

【명세서】

【발명의 명칭】

액정표시패널의 양 방향 구동 회로{Circuit for bi-directional driving liquid crystal display panel}

【도면의 간단한 설명】

도 1은 일반적인 액정표시패널의 회로 구성도

도 2는 종래의 액정표시패널 쉬프트 레지스터의 회로적 구성도

도 3은 종래의 액정표시패널 쉬프트 레지스터의 입력 및 출력 파형도

도 4는 본 발명 제 1 실시예의 액정표시패널 쉬프트 레지스터의 회로적 구성도

도 5는 본 발명 제 1 실시예에 따른 액정표시패널 쉬프트 레지스터의 순방향 입력 및 출력 파형도

도 6은 본 발명 제 1 실시예에 따른 액정표시패널 쉬프트 레지스터의 역방향 입력 및 출력 파형도

도 7은 본 발명 제 2 실시예의 액정표시패널 쉬프트 레지스터의 회로적 구성도

도 8은 본 발명 제 3 실시예의 액정표시패널 쉬프트 레지스터의 회로적 구성도

도 9는 본 발명 제 4 실시예의 액정표시패널 쉬프트 레지스터의 회로적 구성도

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 액정표시장치(Liquid Crystal Display device, LCD)에 관한 것으로, 특히 양방향 구동이 가능한 액정표시패널의 양 방향 구동 회로에 관한 것이다.
- <11> 최근의 액정표시장치는 액정표시패널에 게이트 드라이브 IC 및 데이터 드라이브 IC 등 구동회로를 내장하고 있으며, 구동 방향이 고정되어 있으므로 시스템 업체마다 다른 패널을 요구하는 경우가 발생하게 된다.
- <12> 이와 같이 구동회로가 내장된 폴리 실리콘(poly-Si) 액정표시패널의 회로적 구성은 도 1과 같다.
- <13> 도 1은 일반적인 폴리 실리콘 액정표시패널의 회로적 구성도이다.
- <14> 액정표시패널에는 복수개의 게이트 라인(G1-Gm)과 데이터 라인(D1-Dn)이 서로 수직 교차하도록 배열된 픽셀 어레이와, 상기 각 게이트 라인에 스캔 신호를 공급하기 위한 복수개의 제 1 쉬프트 레지스터(11) 및 버퍼(12)와, 상기 각 데이터 라인을 k블럭으로 나누어 각 블럭에 하나의 쉬프트 레지스터와 버퍼가 위치되어 데이터 라인을 구동하기 위한 복수개의 제 2 쉬프트 레지스터(13) 및 버퍼(14)와, 상기 데이터 구동회로부(2)의 디지털/아날로그 변환기(5)에서 출력된 영상신호를 각 데이터 라인에 전달하기 위한 복수개의 신호 라인(S1-Sn)과, 상기 제 2 쉬프트 레지스터(13) 및 버퍼(14)에서 출력된 구동신호에 의해 각 블럭별로

순차적으로 상기 신호 라인(S1-Sn)의 영상신호를 데이터 라인에 인가하는 복수개의 스위칭소자(16)들로 구성된다.

<15> 이와 같이, 상기 폴리 실라콘 박막트랜지스터 액정표시패널의 구동회로는 기존의 비정질 실리콘 회로와 달리 외부 회로와 패널 간의 접촉선 수를 줄이기 위해 게이트 라인이 선택되어 있는 동안 복수개의 데이터 라인들을 m블록으로 나누어 순차적으로 데이터 라인에 디스플레이 전압을 공급한다.

<16> 따라서, 이와 같이 쉬프트 레지스터에 의해 게이트 라인 및 데이터 라인이 순차적으로 구동되어 화상을 표시하는데 각 쉬프트 레지스터가 정해진 일 방향으로만 쉬프팅하므로 시스템 업체가 요구하는 구동 방향에 대한 자유도를 제공할 수 없다.

<17> 종래의 액정표시패널의 쉬프트 레지스터를 첨부된 도면을 참조하여 설명하면 다음과 같다.

<18> 도 2는 종래의 액정표시패널의 쉬프트 레지스터의 회로 구성도이다.

<19> 먼저 쉬프트 레지스터의 입력단에는 게이트 또는 데이터 시작 펄스(VST)와, 서로 다른 위상을 갖는 4개의 제 1, 제 2, 제 3, 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4)와, 전원전압(Vdd, Vss)가 입력된다.

<20> 그리고 쉬프트 레지스터의 회로적 구성은 8개의 블록으로 구성되고 각 블록의 구성은 거의 유사하나 클럭신호가 인가되는 부분에서 차이가 있다.

<21> 먼저, 첫 번째 블록의 구성은 소오스와 게이트에 상기 시작 펄스(VST)가 인가되는 제 1 p-MOS(TFT1)와, 상기 제 1 p-MOS(TFT1)의 드레인에 소오스가 연결되

고 상기 제 4 클럭신호(CLK4)가 게이트에 인가되는 제 2 p-MOS(TFT2)와, 상기 제 2 p-MOS(TFT2)의 드레인에 소오스가 연결되고 드레인은 상기 Vss단에 연결되는 제 3 p-MOS(TFT3)와, 소오스는 상기 Vdd단에 연결되고 게이트는 상기 제 3 클럭신호(CLK3)에 연결되고 드레인은 상기 제 3 p-MOS(TFT3)의 게이트에 연결되는 제 4 p-MOS(TFT4)와, 소오스가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되고 게이트가 상기 시작 펄스(VST)에 연결되며 드레인이 Vss단에 연결되는 제 5 p-MOS(TFT5)와, 소오스가 상기 제 1 클럭신호(CLK1)에 연결되고 게이트가 상기 제 2 p-MOS(TFT2)의 드레인에 연결되며 드레인은 출력단(Output)에 연결되는 제 6 p-MOS(TFT6)와, 소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되며 드레인이 상기 Vss단에 연결되는 제 7 p-MOS(TFT7)를 구비하여 구성된다.

<22> 여기서, 상기 제 2 p-MOS(TFT2)의 드레인과 제 3 p-MOS(TFT3)의 소오스의 접점은 커패시터(C1)를 통해 접지되어 있고, 제 6 p-MOS(TFT6)의 게이트는 제 2 커패시터(C2)를 통해 Vss단에 연결되고, 제 6 p-MOS(TFT6)의 게이트와 드레인은 제 3 커패시터(C3)를 통해 연결되고, 제 7 p-MOS(TFT7)의 게이트는 제 4 커패시터(C4)를 통해 Vss단에 연결된다.

<23> 그리고 두 번째부터 8번째 블록까지의 차이점은 제 6 p-MOS(TFT6)의 소오스, 제 4 p-MOS(TFT4)의 게이트, 제 2 p-MOS(TFT2)의 게이트에 각각 인가되는 클럭신호의 차이가 있고, 제 1 p-MOS(TFT1)의 소오스 및 게이트에는 이전 블록의 출력단이 연결된다.

<24> 즉, 첫 번째 블록에서 8번째 블록까지의 클럭신호 연결은 다음과 같다.

- <25> 먼저, 상기 제 6 p-MOS(TFT6)의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯번째 블록에서 제 1 클럭신호(CLK1), 두 번째 및 여섯번째 블록에서 제 2 클럭신호(CLK2), 세 번째 및 일곱번째 블록에서 제 3 클럭신호(CLK3), 네 번째 및 여덟 번째 블록에서 제 4 클럭신호(CLK4)가 연결된다.
- <26> 상기 제 4 p-MOS(TFT4)의 게이트에 인가되는 클럭신호는 첫 번째 및 다섯번째 블록에서 제 3 클럭신호(CLK3), 두 번째 및 여섯번째 블록에서 제 4 클럭신호(CLK4), 세 번째 및 일곱번째 블록에서 제 1 클럭신호(CLK1), 네 번째 및 여덟 번째 블록에서 제 2 클럭신호(CLK2)가 연결된다.
- <27> 상기 제 2 p-MOS(TFT2)의 게이트에 인가되는 클럭신호는 첫 번째 및 다섯번째 블록에서 제 4 클럭신호(CLK4), 두 번째 및 여섯번째 블록에서 제 1 클럭신호(CLK1), 세 번째 및 일곱번째 블록에서 제 2 클럭신호(CLK2), 네 번째 및 여덟 번째 블록에서 제 3 클럭신호(CLK3)가 연결된다.
- <28> 이와 같이 구성된 종래의 액정표시패널의 쉬프트 레지스터의 동작은 다음과 같다.
- <29> 도 3은 종래의 액정표시패널 쉬프트 레지스터의 입력 및 출력 파형도이다.
- <30> 먼저, 첫 번째 블록의 동작을 설명하면, 시작 펄스(VST)가 스위치 온 상태의 로우 레벨 신호가 입력되면, 제 1 p-MOS(TFT1)가 턴온되고, 이 때 제 4 클럭신호(CLK4)가 스위치 온 상태의 로우 레벨 신호가 입력되므로 제 2 p-MOS(TFT2)도 턴온되므로 로드(Q)가 스위치 온 상태의 로우 레벨이 된다. 따라서, 제 6 p-MOS(TFT6)이 턴온되고 제 1 클럭신호(CLK1)가 출력단으로 전달되어 출력된다.

이 때, 로드(QB)는 스위치 오프 상태의 하이 레벨이므로 제 7 p-MOS(TFT7)은 턴 오프되므로 V_{ss} 전압이 출력단으로 전달되지 못한다.

<31> 같은 방법으로 두 번째 블록에서는 상기 첫 번째 블록의 출력이 로우 레벨이고 제 1 클럭신호가 로우 레벨이므로 제 6 p-MOS(TFT6)의 소오스에 인가되는 제 2 클럭신호(CLK2)가 출력된다.

<32> 이와 같은 방법으로 도 3에 도시한 바와 같이, 첫 번째 블록부터 여덟 번째 블록까지 차례로 출력이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<33> 그러나, 이와 같은 종래의 액정표시패널의 구동회로에 있어서는 다음과 같은 문제점이 있었다.

<34> 즉, 구동회로가 내장된 종래의 액정표시패널에 있어서는, 처음 설계된 일 방향으로만 화상을 스캔할 수 있으며, 반대 방향으로 스캔이 불가능하다. 즉, 맨 마지막 블록에서 제일 먼저 출력이 발생하고 첫 번째 블록에서 맨 나중에 출력이 발생하지 못하므로 액정표시패널이 만들어지면 임의대로 패널 방향을 랜드스케이프(landscape)로 설정 또는 포트리트(portrait)로 설정할 수 없다.

따라서, 시스템 업체마다 다른 패널을 요구하게 된다.

<35> 본 발명은 이와 같은 문제점을 해결하기 위하여 안출한 것으로, 별도의 입력 패드를 형성하지 않고 순 방향과 역 방향 스캔이 가능한 액정표시패널의 양 방향 구동회로를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <36> 이와 같은 목적을 달성하기 위한 본 발명의 액정표시패널의 양 방향 구동회로는, 복수개의 블록을 구비한 액정표시패널의 구동회로에 있어서, 각 블록은, 시작 펄스 또는 그 전 블록의 출력신호가 입력되도록 구성된 제 1 시작 펄스 입력단과, 상기 시작 펄스 또는 그 다음 블록의 출력신호가 입력되도록 구성된 제 2 시작 펄스 입력단을 포함하여 구성됨에 그 특징이 있다.
- <37> 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시패널의 양 방향 구동회로는, 복수개의 블록을 구비한 각 블록에서 신호를 출력하는 액정표시패널의 구동회로에 있어서, 첫 번째 블록의 입력단에 인가되는 시작 펄스 신호를 스위칭하고 나머지 블록의 입력단에 인가되는 그 이전 블록의 출력신호를 스위칭하는 제 1 스위칭부와, 마지막 블록의 입력단에 인가되는 시작 펄스 신호를 스위칭하고 나머지 블록의 입력단에 인가되는 그 이전 블록의 출력 신호를 스위칭하는 제 2 스위칭부를 구비함에 또 다른 특징이 있다.
- <38> 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시패널의 양 방향 구동회로는, 복수개의 블록을 구비한 액정표시패널의 구동회로에 있어서, 각 블록은, 소오스와 게이트에 상기 시작 펄스가 인가되는 제 1 스위칭 소자와, 상기 제 1 스위칭 소자의 드레인에 소오스가 연결되고 클럭 신호가 게이트에 인가되는 제 2 스위칭 소자와, 상기 제 2 스위칭 소자의 드레인에 소오스가 연결되고 드레인은 상기 Vss단에 연결되는 제 3 스위칭 소자와, 소오스는 상기 Vdd단에 연결되고 게이트는 다른 클럭 신호에 연결되고 드레인은 상기 제 3 스위칭 소자의 게이트에 연결되는 제 4 스위칭 소자와, 소오스가 상기 제 4 스위칭 소자의

드레인에 연결되고 게이트가 상기 제 1 스위칭 소자의 드레인에 연결되며 드레인이 Vss단에 연결되는 제 5 스위칭 소자와, 소오스가 상기 또 다른 클럭 신호에 연결되고 게이트가 상기 제 2 스위칭 소자의 드레인에 연결되며 드레인은 출력단에 연결되는 제 6 스위칭 소자와, 소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 스위칭 소자의 드레인에 연결되며 드레인이 상기 Vss단에 연결되는 제 7 스위칭 소자와, 소오스 및 게이트가 그 다음 블록의 출력단에 연결되고 드레인이 상기 제 1 스위칭 소자의 드레인에 연결되는 제 8 스위칭 소자와, 상기 제 2 스위칭 소자와 병렬 연결되고 게이트가 상기 또 다른 클럭 신호에 연결되는 제 9 스위칭 소자를 구비하여 구성됨에 또 다른 특징이 있다.

<39> 바람직하게는, 상기 제 2 스위칭 소자의 드레인과 제 3 스위칭 소자의 소오스의 접점과 접지단 사이에 연결되는 제 1 커패시터와, 상기 제 6 스위칭 소자의 게이트와 Vss 단 사이에 연결된 2 커패시터와, 상기 제 6 스위칭 소자의 게이트와 드레인 사이에 연결된 3 커패시터와, 상기 제 7 스위칭 소자의 게이트와 상기 Vss단 사이에 연결된 제 4 커패시터를 더 구비한다.

<40> 바람직하게는, 상기 블록이 8개로 구성되고, 상기 제 6 스위칭 소자의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 1 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 2 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 3 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 4 클럭 신호가 연결되고, 상기 제 4 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 4 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 1 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 2 클

력 신호가 연결되며, 상기 제 2 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 4 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 1 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 2 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 3 클럭 신호가 연결되고, 상기 제 9 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 2 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 3 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 4 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 1 클럭 신호가 연결된다.

<41> 바람직하게는, 상기 첫 번째 블록 제외한 블록들에서 상기 제 1 스위칭 소자의 게이트 및 소오스에는 그 이전 블록의 출력 신호가 시작 펄스신호로 인가되고, 마지막 블록의 제 8 스위칭 소자에는 시작 펄스 신호가 인가된다.

<42> 바람직하게는, 상기 제 5 스위칭 소자의 게이트가 상기 제 2 스위칭 소자 또는 제 9 스위칭 소자의 드레인 단에 연결된다.

<43> 바람직하게는, 제 1 스위칭 소자와 제 2 스위칭 소자 사이에 연결되어 상기 제 2 스위칭 소자의 게이트 전압에 따라 스위칭되는 제 10 스위칭 소자와, 상기 제 8 스위칭 소자와 상기 제 2 스위칭 소자 사이에 연결되어 상기 제 9 스위칭 소자의 게이트 전압에 따라 스위칭되는 제 11 스위칭 소자를 더 구비한다.

<44> 상기에서 바람직하게는, 상기 제 1, 제 10, 제 2 스위칭 소자들의 접점들과 접지단 사이에 각각 연결된 제 1, 제 2 커패시터들과, 상기 제 8, 제 11 스위칭 소자의 접점과 접지단 사이에 연결된 제 3 커패시터와, 상기 제 6 스위칭 소자의 게이트와 Vss단 사이에 연결된 제 4 커패시터와, 상기 제 6 스위칭 소자의 게이

트와 드레인 사이에 연결된 제 5 커패시터와, 상기 제 7 스위칭 소자의 게이트와 상기 Vss단 사이에 연결되는 제 6 커패시터를 더 구비한다.

<45> 바람직하게는, 상기 각 스위칭 소자는 p-MOS 이다.

<46> 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시패널의 양 방향 구동회로는, 복수개의 블록을 구비한 액정표시패널의 구동회로에 있어서, 각 블록은, 소오스와 게이트에 상기 시작 펄스 가 인가되는 제 1 스위칭 소자와, 상기 제 1 스위칭 소자의 드레인에 소오스가 연결되고 드레인은 Vss단에 연결되는 제 3 스위칭 소자와, 소오스는 Vdd단에 연결되고 게이트는 상기 클럭 신호에 연결되고 드레인은 상기 제 3 스위칭 소자의 게이트에 연결되는 제 4 스위칭 소자와, 소오스가 상기 제 4 스위칭 소자의 드레인에 연결되고 게이트가 상기 제 1 스위칭 소자의 소오스에 연결되며 드레인이 상기 Vss단에 연결되는 제 5 스위칭 소자와, 소오스가 상기 다른 클럭 신호에 연결되고 게이트가 상기 제 1 스위칭 소자의 드레인에 연결되며 드레인은 출력단에 연결되는 제 6 스위칭 소자와, 소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 스위칭 소자의 드레인에 연결되며 드레인이 상기 Vss단에 연결되는 제 7 스위칭 소자를 포함하고, 상기 시작 펄스와 첫 번째 블록의 제 1 스위칭 소자의 게이트 및 소오스 사이와, 각 블록의 출력단과 그 다음 블록의 상기 제 1 스위칭 소자의 게이트 및 소오스 사이를 외부의 순방향 제어신호에 따라 스위칭 하는 복수개의 제 8 스위칭 소자와, 상기 시작 펄스와 마지막 블록의 제 1 스위칭 소자의 게이트 및 소오스 사이와, 각 블록의 출력단과 그 이전 블록의 제 1 스위칭 소자의 게이트 및 소오스

사이를 외부의 역방향 제어신호에 따라 스위칭 하는 복수개의 제 9 스위칭 소자를 구비하여 구성됨에 또 다른 특징이 있다.

<47> 바람직하게는, 상기 제 1, 제 3 스위칭 소자들의 접점과 접지단 사이에 연결되는 제 1 커패시터와, 상기 제 6 스위칭 소자의 게이트와 상기 Vss단 사이에 연결되는 제 2 커패시터와, 상기 제 6 스위칭 소자의 게이트와 드레인 사이에 연결되는 제 3 커패시터와, 상기 제 7 스위칭 소자의 게이트와 상기 Vss단 사이에 연결되는 제 4 커패시터를 더 구비한다.

<48> 바람직하게는, 상기 블록을 8개 구비하고, 상기 제 6 스위칭 소자의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 1 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 2 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 3 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 4 클럭 신호가 인가되고, 상기 제 4 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 4 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 1 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 2 클럭 신호가 인가된다.

<49> 바람직하게는, 상기 제 1, 제 3 스위칭 소자 사이에 연결되어 또 다른 클럭 신호에 의해 스위칭 되는 제 2 스위칭 소자를 더 구비한다.

<50> 상기에서, 바람직하게는, 상기 블록을 8개 구비하고, 상기 제 2 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 4 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 1 클럭 신호, 세 번째 및 일곱 번째 블

력에서 제 2 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 3 클럭 신호가 인가된다.

<51> 바람직하게는, 상기 첫 번째 블록 제외한 블록들에서 상기 제 1 스위칭 소자의 게이트 및 소오스는 상기 제 8 스위칭 소자를 통해 그 이전 블록의 출력 신호가 시작 펄스신호로 인가되고, 마지막 블록을 제외한 블록들에서 상기 제 1 스위칭 소자의 게이트 및 소오스는 상기 제 9 스위칭 소자를 통해 그 이후 블록의 출력신호가 시작 펄스신호로 인가된다.

<52> 바람직하게는, 상기 각 스위칭 소자는 p-MOS이다.

<53> 상기와 같은 특징을 갖는 본 발명에 따른 액정표시패널의 양 방향 구동회로를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

<54> 도 4는 본 발명 제 1 실시예에 따른 액정표시패널의 양 방향 구동회로(쉬프트 레지스터)의 구성도이다.

<55> 먼저, 쉬프트 레지스터의 입력단에는, 종래와 같이, 게이트 또는 데이터 시작 펄스(VST)와, 서로 다른 위상을 갖는 4개의 제 1, 제 2, 제 3, 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4)와, 전원전압(Vdd, Vss)가 입력된다.

<56> 그리고 쉬프트 레지스터의 회로적 구성은 8개의 블록으로 구성되고 각 블록의 구성은 거의 유사하나 클럭 신호가 인가되는 부분에서 차이가 있다.

<57> 먼저, 첫 번째 블록의 구성은 소오스와 게이트에 상기 시작 펄스(VST)가 인가되는 제 1 p-MOS(TFT1)와, 상기 제 1 p-MOS(TFT1)의 드레인에 소오스가 연결되고 상기 제 4 클럭신호(CLK4)가 게이트에 인가되는 제 2 p-MOS(TFT2)와, 상기 제

2 p-MOS(TFT2)의 드레인에 소오스가 연결되고 드레인은 상기 Vss단에 연결되는 제 3 p-MOS(TFT3)와, 소오스는 상기 Vdd단에 연결되고 게이트는 상기 제 3 클럭 신호(CLK3)에 연결되고 드레인은 상기 제 3 p-MOS(TFT3)의 게이트에 연결되는 제 4 p-MOS(TFT4)와, 소오스가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되고 게이트가 상기 제 1 p-MOS(TFT1)의 드레인에 연결되며 드레인이 Vss단에 연결되는 제 5 p-MOS(TFT5)와, 소오스가 상기 제 1 클럭신호(CLK1)에 연결되고 게이트가 상기 제 2 p-MOS(TFT2)의 드레인에 연결되며 드레인은 출력단(Output)에 연결되는 제 6 p-MOS(TFT6)와, 소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되며 드레인이 상기 Vss단에 연결되는 제 7 p-MOS(TFT7)와, 소오스 및 게이트가 그 다음 블록의 출력단에 연결되고 드레인이 상기 제 1 p-MOS(TFT1)의 드레인에 연결되는 제 8 p-MOS(TFT8)와, 상기 제 2 p-MOS(TFT2)와 병렬 연결되고 게이트가 상기 제 2 클럭신호에 연결되는 제 9 p-MOS(TFT9)를 구비하여 구성된다.

<58> 여기서, 상기 제 2 p-MOS(TFT2)의 드레인과 제 3 p-MOS(TFT3)의 소오스의 접점은 커패시터(C1)를 통해 접지되어 있고, 제 6 p-MOS(TFT6)의 게이트는 제 2 커패시터(C2)를 통해 Vss단에 연결되고, 제 6 p-MOS(TFT6)의 게이트와 드레인은 제 3 커패시터(C3)를 통해 연결되고, 제 7 p-MOS(TFT7)의 게이트는 제 4 커패시터(C4)를 통해 Vss단에 연결된다.

<59> 그리고 두 번째부터 8번째 블록까지의 차이점은 제 6 p-MOS(TFT6)의 소오스, 제 4 p-MOS(TFT4)의 게이트, 제 2 p-MOS(TFT2)의 게이트, 제 9 p-MOS(TFT9)의 게이트에 각각 인가되는 클럭신호의 차이가 있고, 제 1

p-MOS(TFT1)의 소오스 및 게이트에는 이전 블록의 출력단이 연결되고 맨 마지막 블록의 제 8 p-MOS(TFT8)의 소오스 및 게이트에는 시작 펄스(VST)가 연결되고 나머지 블록의 제 8 p-MOS(TFT8)은 그 다음 블록의 출력단에 연결된다.

<60> 즉, 첫 번째 블록에서 8번째 블록까지의 클럭 신호 연결은 다음과 같다.

<61> 먼저, 상기 제 6 p-MOS(TFT6)의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 1 클럭신호(CLK1), 두 번째 및 여섯 번째 블록에서 제 2 클럭 신호(CLK2), 세 번째 및 일곱 번째 블록에서 제 3 클럭 신호(CLK3), 네 번째 및 여덟 번째 블록에서 제 4 클럭 신호(CLK4)가 연결된다.

<62> 상기 제 4 p-MOS(TFT4)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호(CLK3), 두 번째 및 여섯 번째 블록에서 제 4 클럭 신호(CLK4), 세 번째 및 일곱 번째 블록에서 제 1 클럭 신호(CLK1), 네 번째 및 여덟 번째 블록에서 제 2 클럭 신호(CLK2)가 연결된다.

<63> 상기 제 2 p-MOS(TFT2)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 4 클럭 신호(CLK4), 두 번째 및 여섯 번째 블록에서 제 1 클럭 신호(CLK1), 세 번째 및 일곱 번째 블록에서 제 2 클럭 신호(CLK2), 네 번째 및 여덟 번째 블록에서 제 3 클럭 신호(CLK3)가 연결된다.

<64> 상기 제 9 p-MOS(TFT9)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 2 클럭 신호(CLK2), 두 번째 및 여섯 번째 블록에서 제 3 클럭 신호(CLK3), 세 번째 및 일곱 번째 블록에서 제 4 클럭 신호(CLK4), 네 번째 및 여덟 번째 블록에서 제 1 클럭 신호(CLK1)가 연결된다.

- <65> 이와 같이 구성된 본 발명 제 1 실시예의 액정표시패널의 양 방향쉬프트 레지스터의 동작은 다음과 같다.
- <66> 도 5는 본 발명 제 1 실시예에 따른 액정표시패널 쉬프트 레지스터의 순방향 입력 및 출력 파형도이고, 도 6은 본 발명 제 1 실시예에 따른 액정표시패널 쉬프트 레지스터의 역 방향 입력 및 출력 파형도이다.
- <67> 먼저, 순 방향 구동을 원할 때는, 도 5와 같이, 제 1 클럭 신호, 제 2 클럭 신호, 제 3 클럭 신호, 제 4 클럭 신호의 순서로 반복 입력되도록 하고 시작 펄스가 입력될 때 종래와 같이 제 4 클럭 신호가 입력되도록 한다.
- <68> 반면, 역 방향 구동을 원할 때는, 도 6과 같이, 제 4 클럭 신호, 제 3 클럭 신호, 제 2 클럭 신호, 제 1 클럭 신호의 순서로 반복 입력되도록 하고 시작 펄스가 입력될 때 제 1 클럭 신호가 입력되도록 한다.
- <69> 따라서, 첫 번째 블록의 순방향 동작을 설명하면, 시작 펄스(VST)가 스위치 온 상태(로우 레벨) 신호가 입력되면, 제 1 p-MOS(TFT1)가 턴 온되고, 이 때 제 4 클럭 신호(CLK4)가 스위치 온 상태(로우 레벨) 신호가 입력되므로 제 2 p-MOS(TFT2)도 턴 온되므로 로드(Q)가 스위치 온 상태(로우 레벨)가 된다. 따라서, 제 6 p-MOS(TFT6)이 턴 온되고 제 1 클럭 신호(CLK1)가 출력단으로 전달되어 출력된다. 이 때, 로드(QB)는 스위치 오프 상태(하이 레벨)이므로 제 7 p-MOS(TFT7)은 턴 오프되므로 Vss 전압이 출력단으로 전달되지 못한다.

- <70> 같은 방법으로 두 번째 블록에서는 상기 첫 번째 블록의 출력이 로우 레벨이고 제 1 클럭 신호가 로우 레벨일 때 제 6 p-MOS(TFT6)가 턴 온되므로 소오스에 인가되는 제 2 클럭 신호(CLK2)가 출력된다.
- <71> 이와 같은 방법으로 도 5에 도시한 바와 같이, 첫 번째 블록부터 여덟 번째 블록까지 차례로 출력이 발생한다.
- <72> 반대로, 역 방향 동작을 설명하면, 시작 펄스(VST)가 스위치 온 상태(로우 레벨) 신호가 입력되고 제 1 클럭 신호가 스위치 온 상태(로우 레벨) 신호로 입력되므로, 첫 번째 블록에서 제 1 p-MOS(TFT1)는 턴 온되나 제 2 p-MOS(TFT2)는 턴 온되지 않으므로 제 6 p-MOS(TFT6)도 턴 온되지 않아 제 1 클럭 신호를 출력하지 못한다. 그러나, 8번째 블록에서는 제 1 p-MOS(TFT1)와 제 9p-MOS(TFT9)가 동시에 턴온되므로 제 6 p-MOS(TFT6)가 턴온되어 제 4 클럭신호를 출력하게 된다.
- <73> 이와 같이 8번째 블록에서 맨 먼저 출력된다. 그리고 상기 8번째 블록에서 출력된 신호가 일곱 번째 블록의 제 8 p-MOS(TFT8)에 인가되고 이 때 제 4 클럭 신호(CLK4)가 스위치 온 상태의 로우 레벨이 되므로 일곱 번째 블록에서는 제 8 및 제 9 p-MOS(TFT8, TFT9)가 턴 온되고 더불어 제 6 p-MOS(TFT6)가 턴 온되어 제 3 클럭 신호를 출력하게 된다. 이와 같은 방법에 의해 시작 펄스를 제 1 클럭 신호에 동기 시키고 제 4 클럭 신호부터 제 1 클럭 신호 순서로 클럭 신호가 발생되도록 하면, 여덟 번째 블록에서 첫 번째 블록 순의 역방향으로 신호가 출력된다.

- <74> 이와 같이 순 방향과 역 방향 스캔이 별도의 신호나 PIN이 필요 없이 이루어질 수 있으므로 제작된 액정표시패널에 대해 시스템 사양에 알맞게 패널을 장착할 수 있게 해준다. 즉, 포트리트형 디스플레이 또는 랜든케이프형 디스플레이에 모두 응용 가능하다.
- <75> 한편, 본 발명 제 2 실시예의 액정표시패널의 양 방향 구동회로는 도 7과 같다.
- <76> 도 7은 본 발명 제 2 실시예의 액정표시패널의 양 방향 구동 회로도이다.
- <77> 본 발명 제 2 실시예의 액정표시패널의 양 방향 구동회로는 대부분 본 발명 제 1 실시예의 액정표시패널의 양 방향 구동회로와 같으나, 상기 제 5 p-MOS(TFT5)의 게이트가 상기 제 2 p-MOS(TFT2) 또는 제 9 p-MOS(TFT9)의 드레인단에 연결되어 있는 점이 다르다. 이와 같이 구성된 본 발명 제 2 실시예의 액정표시패널의 양 방향동작은 본 발명 제 1 실시예의 액정표시패널의 동작과 같으므로 생략한다.
- <78> 또한, 본 발명의 제 3 실시예에 따른 액정표시패널의 양 방향 구동회로는 도 8과 같다.
- <79> 도 8은 본 발명 제 3 실시예의 액정표시패널의 양 방향 구동 회로도이다.
- <80> 본 발명 제 3 실시예의 액정표시패널의 양 방향 구동회로는, 도 4와 같은 본 발명 제 1 실시예의 액정표시패널의 양 방향 구동회로에서, 제 1 p-MOS(TFT1)와 제 2 p-MOS(TFT2) 사이에서 상기 제 2 p-MOS(TFT2)의 게이트 전압에 따라 스위칭하는 제 10 p-MOS(TFT10)와, 상기 제 8 p-MOS(TFT8)와 상기 제 2

p-MOS(TFT2) 사이에서 상기 제 9 p-MOS(TFT9)의 게이트 전압에 따라 스위칭하는 제 11 p-MOS(TFT11)를 더 구비한 것이다.

<81> 즉, 첫 번째 블록의 구성은 소오스와 게이트에 상기 시작 펄스(VST)가 인가되는 제 1 p-MOS(TFT1)와, 상기 제 4 클럭 신호(CLK4)가 게이트에 인가되는 제 2 p-MOS(TFT2)와, 상기 제 2 p-MOS(TFT2)의 드레인에 소오스가 연결되고 드레인은 상기 Vss단에 연결되는 제 3 p-MOS(TFT3)와, 소오스는 상기 Vdd단에 연결되고 게이트는 상기 제 3 클럭 신호(CLK3)에 연결되고 드레인은 상기 제 3 p-MOS(TFT3)의 게이트에 연결되는 제 4 p-MOS(TFT4)와, 소오스가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되고 게이트가 상기 제 1 p-MOS(TFT1)의 드레인에 연결되며 드레인이 Vss단에 연결되는 제 5 p-MOS(TFT5)와, 소오스가 상기 제 1 클럭 신호(CLK1)에 연결되고 게이트가 상기 제 2 p-MOS(TFT2)의 드레인에 연결되며 드레인은 출력단(Output)에 연결되는 제 6 p-MOS(TF6)와, 소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되며 드레인이 상기 Vss단에 연결되는 제 7 p-MOS(TFT7)와, 소오스 및 게이트가 그 다음 블록의 출력단에 연결되는 제 8 p-MOS(TFT8)와, 상기 제 2 p-MOS(TFT2)와 병렬 연결되고 게이트가 상기 제 2 클럭 신호에 연결되는 제 9 p-MOS(TFT9)와, 상기 제 1 p-MOS(TFT1)의 드레인에 소오스가 연결되고 게이트 및 드레인이 상기 제 2 p-MOS(TFT2)의 소오스 및 게이트에 각각 연결되는 제 10 p-MOS(TFT10)와, 상기 제 8 p-MOS(TFT8)의 드레인에 소오스가 연결되고 드레인이 상기 제 2 p-MOS(TFT2)의 소오스 및 제 5 p-MOS(TFT5)의 게이트에 연결되고 게이트가 상기 제 9 p-MOS(TFT9)의 게이트에 연결되는 제 11 p-MOS(TFT11)를 구비하여 구성된다.

- <82> 여기서, 상기 제 1, 제 10, 제 2 p-MOS들의 접점은 각 커패시터(C1, C2)를 통해 접지되어 있고, 제 8, 제 11 p-MOS의 접점은 커패시터(C3)를 통해 접지되며, 제 6 p-MOS(TFT6)의 게이트는 커패시터(C4)를 통해 Vss단에 연결되고, 제 6 p-MOS(TFT6)의 게이트와 드레인은 커패시터(C5)를 통해 연결되고, 제 7 p-MOS(TFT7)의 게이트는 커패시터(C6)를 통해 Vss단에 연결된다.
- <83> 그리고 두 번째부터 8번째 블록까지의 차이점은 본 발명 제 1 실시예와 같다.
- <84> 즉, 첫 번째 블록에서 8번째 블록까지의 클럭 신호 연결은 다음과 같다.
- <85> 먼저, 상기 제 6 p-MOS(TFT6)의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯번째 블록에서 제 1 클럭 신호(CLK1), 두 번째 및 여섯번째 블록에서 제 2 클럭 신호(CLK2), 세 번째 및 일곱 번째 블록에서 제 3 클럭 신호(CLK3), 네 번째 및 여덟 번째 블록에서 제 4 클럭 신호(CLK4)가 연결된다.
- <86> 상기 제 4 p-MOS(TFT4)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호(CLK3), 두 번째 및 여섯 번째 블록에서 제 4 클럭 신호(CLK4), 세 번째 및 일곱 번째 블록에서 제 1 클럭 신호(CLK1), 네 번째 및 여덟 번째 블록에서 제 2 클럭 신호(CLK2)가 연결된다.
- <87> 상기 제 2 p-MOS(TFT2)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 4 클럭 신호(CLK4), 두 번째 및 여섯 번째 블록에서 제 1 클럭 신호(CLK1), 세 번째 및 일곱 번째 블록에서 제 2 클럭 신호(CLK2), 네 번째 및 여덟 번째 블록에서 제 3 클럭 신호(CLK3)가 연결된다.

- <88> 상기 제 9 p-MOS(TFT9)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 2 클럭 신호(CLK2), 두 번째 및 여섯 번째 블록에서 제 3 클럭 신호(CLK3), 세 번째 및 일곱 번째 블록에서 제 4 클럭 신호(CLK4), 네 번째 및 여덟 번째 블록에서 제 1 클럭 신호(CLK1)가 연결된다.
- <89> 또한, 본 발명 제 4 실시예의 액정표시패널의 양 방향 구동회로는 도 9와 같다.
- <90> 도 9는 본 발명 제 4 실시예에 따른 액정표시패널의 양 방향 구동 회로도이다.
- <91> 본 발명 제 4 실시예의 액정표시패널의 구동회로는, 시작 펄스를 스위칭하여 첫 블록 또는 마지막 블록의 제 1 p-MOS에 인가되도록 하고 각 블록의 출력 신호가 그 전 블록 또는 그 이후 블록의 제 1 p-MOS에 인가되도록 스위칭하여 순방향 스캔과 역 방향 스캔을 조정하도록 하고, 제 2 p-MOS(TFT2)를 사용하지 않고 시작 펄스가 스위치 온 상태일 때 제 6 p-MOS(TFT6)에 입력된 클럭 신호가 출력되도록 한 것이다.
- <92> 본 발명 제 4 실시예의 액정표시패널의 양 방향 구동회로는, 도 2와 같은 종래의 액정표시패널의 구동회로에서, 제 1 p-MOS(TFT1)와 제 3 p-MOS(TFT3) 사이의 제 2 p-MOS(TFT2)를 생략하였고, 첫 번째 블록의 제 1 p-MOS(TFT1)의 게이트 및 소오스에 인가되는 시작 펄스(VST)를 스위칭하고 각 블록의 출력단과 그 다음 블록의 제 1 p-MOS(TFT1)의 게이트 및 소오스 사이를 외부의 순방향 제어 신호(FORWARD)에 의해 스위칭하는 복수개의 제 8 p-MOS(TFT8)와, 마지막 블록의 제 1 p-MOS(TFT1)의 게이트 및 소오스에 인가되는 시작 펄스(VST)를 스위칭하고

각 블록의 출력단과 그 이전 블록의 제 1 p-MOS(TFT1)의 게이트 및 소오스 사이를 외부의 역방향 제어신호(BACK)에 의해 스위칭하는 복수개의 제 9 p-MOS(TFT9)를 구비한 것이다.

<93> 즉, 첫 번째 블록의 구성은 소오스와 게이트에 상기 시작 펄스(VST)가 인가되는 제 1 p-MOS(TFT1)와, 상기 제 1 p-MOS(TFT1)의 드레인에 소오스가 연결되고 드레인은 상기 Vss단에 연결되는 제 3 p-MOS(TFT3)와, 소오스는 상기 Vdd단에 연결되고 게이트는 상기 제 3 클럭 신호(CLK3)에 연결되고 드레인은 상기 제 3 p-MOS(TFT3)의 게이트에 연결되는 제 4 p-MOS(TFT4)와, 소오스가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되고 게이트가 상기 제 1 p-MOS(TFT1)의 소오스에 연결되며 드레인이 Vss단에 연결되는 제 5 p-MOS(TFT5)와, 소오스가 상기 제 1 클럭 신호(CLK1)에 연결되고 게이트가 상기 제 1 p-MOS(TFT1)의 드레인에 연결되며 드레인은 출력단(Output)에 연결되는 제 6 p-MOS(TF6)와, 소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 p-MOS(TFT4)의 드레인에 연결되며 드레인이 상기 Vss단에 연결되는 제 7 p-MOS(TFT7)와, 상기 시작 펄스와 첫 번째 블록의 제 1 p-MOS(TFT1)의 게이트 및 소오스 사이와 각 블록의 출력단과 그 다음 블록의 제 1 p-MOS(TFT1)의 게이트 및 소오스 사이를 외부의 순방향 제어신호(FORWARD)에 따라 스위칭 하는 복수개의 제 8 p-MOS(TFT8)와, 상기 시작 펄스와 마지막 단의 제 1 p-MOS(TFT1)의 게이트 및 소오스 사이와, 각 블록의 출력단과 그 이전 블록의 제 1 p-MOS(TFT1)의 게이트 및 소오스 사이를 외부의 역방향 제어신호(BACK)에 따라 스위칭 하는 복수개의 제 9 p-MOS(TFT9)를 구비하여 구성된다.

<94> 여기서, 상기 제 1, 제 3 p-MOS들의 접점은 제 1 커패시터(C1)를 통해 접지되어 있고, 제 6 p-MOS(TFT6)의 게이트는 제 2 커패시터(C2)를 통해 Vss단에 연결되고, 제 6 p-MOS(TFT6)의 게이트와 드레인은 커패시터(C3)를 통해 연결되고, 제 7 p-MOS(TFT7)의 게이트는 커패시터(C4)를 통해 Vss단에 연결된다.

<95> 그리고 두 번째부터 8번째 블록까지의 차이점은 본 발명 제 1 실시예와 같다.

<96> 즉, 첫 번째 블록에서 8번째 블록까지의 클럭 신호 연결은 다음과 같다.

<97> 먼저, 상기 제 6 p-MOS(TFT6)의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 1 클럭 신호(CLK1), 두 번째 및 여섯 번째 블록에서 제 2 클럭 신호(CLK2), 세 번째 및 일곱 번째 블록에서 제 3 클럭 신호(CLK3), 네 번째 및 여덟 번째 블록에서 제 4 클럭 신호(CLK4)가 연결된다.

<98> 상기 제 4 p-MOS(TFT4)의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호(CLK3), 두 번째 및 여섯 번째 블록에서 제 4 클럭 신호(CLK4), 세 번째 및 일곱 번째 블록에서 제 1 클럭 신호(CLK1), 네 번째 및 여덟 번째 블록에서 제 2 클럭 신호(CLK2)가 연결된다.

<99> 이와 같이 구성된 본 발명 제 4 실시예의 액정표시패널의 양 방향 구동회로의 동작은 다음과 같다.

<100> 먼저, 순 방향 제어신호(FORWARD)가 스위치 온 상태(로우 레벨)로 입력되고 역 방향 제어신호(BACK)가 스위치 오프 상태(하이 레벨)로 입력되면, 각 제 8 p-MOS(TFT8)은 턴 온되고 각 제 9 p-MOS(TFT9)는 턴 오프된다. 따라서, 시작 펄

스(VST)는 첫 번째 블록의 제 1 p-MOS(TFT1)의 입력되고 각 블록의 출력신호는 그 다음 블록의 제 1 p-MOS(TFT1)에 입력되므로 상기 첫 번째 블록의 상기 제 1 p-MOS(TFT1)가 턴온되고 제 6 p-MOS(TFT6)도 턴 온되어 제 6 p-MOS(TFT6)의 소오스에 인가된 제 1 클럭 신호(CLK1)가 출력단으로 출력되고, 상기 첫 번째 출력단에서 출력된 신호가 두 번째 블록의 제 1 p-MOS(TFT1)에 입력되므로 상기와 같은 동작에 의해 첫 번째 블록에서 마지막 블록까지 쉬프트 레지스터가 순 방향으로 동작된다.

<101> 반대로, 상기 순 방향 제어신호(FORWARD)가 스위치 오프 상태(하이 레벨), 상기 역 방향 제어신호(BACK)가 스위치 온 상태(로우 레벨)로 입력되면, 각 제 8 p-MOS(TFT8)은 턴 오프되고 각 제 9 p-MOS(TFT9)는 턴 온된다. 따라서, 시작 펄스(VST)는 마지막 블록의 제 1 p-MOS(TFT1)에 입력되고 각 블록의 출력신호는 그 이전 블록의 제 1 p-MOS(TFT1)에 입력되므로 상기 마지막 블록의 상기 제 1 p-MOS(TFT1)가 턴온되고 그 블록의 제 6 p-MOS(TFT6)도 턴 온되어 제 6 p-MOS(TFT6)의 소오스에 인가된 제 4 클럭 신호(CLK1)가 출력단으로 출력되고, 상기 마지막 블록의 출력단에서 출력된 신호가 그 이전 블록의 제 1 p-MOS(TFT1)에 입력되므로 상기와 같은 동작에 의해 마지막 블록에서 첫 번째 블록까지 쉬프트 레지스터가 역 방향으로 동작된다.

<102> 또한 다른 실시예로, 상기 도 9와 같은 본 발명 제 4 실시예의 액정표시패널 구동회로에서 도 2와 같은 종래의 액정표시패널과 같이 제 2 p-MOS(TFT2)를 설치하여도 상기와 같은 동작을 실시할 수 있다.

【발명의 효과】

- <103> 이상에서 설명한 바와 같은 본 발명에 따른 액정표시패널의 양 방향 구동 회로에 있어서는 다음과 같은 효과가 있다.
- <104> 본 발명은 별도의 스위칭 소자를 구비하여 시작 신호의 입력이 첫 번째 블록 또는 마지막 블록에 인가되도록 하고 클럭 신호의 위상을 바꾸어 입력하여 쉬프트 레지스터의 동작이 양 방향으로 이루어지도록 하므로 동일한 액정표시패널을 사용하여도 양 방향으로 액정표시패널을 구동할 수 있다.
- <105> 따라서, 구동 회로가 내장되는 액정표시패널을 시스템 업체에 따라 패널의 위치를 변경하여 구동할 수 있다.
- <106> 또한, 별도의 입력 핀을 구비하지 않아도 양 방향으로 액정표시패널을 구동할 수 있다.

【특허청구범위】**【청구항 1】**

복수개의 블록을 구비한 액정표시패널의 구동회로에 있어서,

각 블록은,

시작 펄스 또는 그 전 블록의 출력신호가 입력되도록 구성된 제 1 시작 펄스 입력단과,

상기 시작 펄스 또는 그 다음 블록의 출력신호가 입력되도록 구성된 제 2 시작 펄스 입력단을 구비함을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 2】

복수개의 블록을 구비한 각 블록에서 신호를 출력하는 액정표시패널의 구동회로에 있어서,

첫 번째 블록의 입력단에 인가되는 시작 펄스 신호를 스위칭하고 나머지 블록의 입력단에 인가되는 그 이전 블록의 출력신호를 스위칭하는 제 1 스위칭부와,

마지막 블록의 입력단에 인가되는 시작 펄스 신호를 스위칭하고 나머지 블록의 입력단에 인가되는 그 이전 블록의 출력 신호를 스위칭하는 제 2 스위칭부를 구비함을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 3】

복수개의 블록을 구비한 액정표시패널의 구동회로에 있어서,

각 블록은,

소오스와 게이트에 상기 시작 펄스가 인가되는 제 1 스위칭 소자와,

상기 제 1 스위칭 소자의 드레인에 소오스가 연결되고 클럭 신호가 게이트에 인가되는 제 2 스위칭 소자와,

상기 제 2 스위칭 소자의 드레인에 소오스가 연결되고 드레인은 상기 Vss단에 연결되는 제 3 스위칭 소자와,

소오스는 상기 Vdd단에 연결되고 게이트는 다른 클럭 신호에 연결되고 드레인은 상기 제 3 스위칭 소자의 게이트에 연결되는 제 4 스위칭 소자와,

소오스가 상기 제 4 스위칭 소자의 드레인에 연결되고 게이트가 상기 제 1 스위칭 소자의 드레인에 연결되며 드레인이 Vss단에 연결되는 제 5 스위칭 소자와,

소오스가 상기 또 다른 클럭 신호에 연결되고 게이트가 상기 제 2 스위칭 소자의 드레인에 연결되며 드레인은 출력단에 연결되는 제 6 스위칭 소자와,

소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 스위칭 소자의 드레인에 연결되며 드레인이 상기 Vss단에 연결되는 제 7 스위칭 소자와,

소오스 및 게이트가 그 다음 블록의 출력단에 연결되고 드레인이 상기 제 1 스위칭 소자의 드레인에 연결되는 제 8 스위칭 소자와,

상기 제 2 스위칭 소자와 병렬 연결되고 게이트가 상기 또 다른 클럭 신호에 연결되는 제 9 스위칭 소자를 구비하여 구성됨을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 4】

제 3 항에 있어서,

상기 제 2 스위칭 소자의 드레인과 제 3 스위칭 소자의 소오스의 접점과 접지단 사이에 연결되는 제 1 커패시터와,

상기 제 6 스위칭 소자의 게이트와 Vss 단 사이에 연결된 2 커패시터와,

상기 제 6 스위칭 소자의 게이트와 드레인 사이에 연결된 3 커패시터와,

상기 제 7 스위칭 소자의 게이트와 상기 Vss단 사이에 연결된 제 4 커패시터를 더 구비함을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 5】

제 3 항에 있어서,

상기 블록이 8개로 구성되고,

상기 제 6 스위칭 소자의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 1 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 2 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 3 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 4 클럭 신호가 연결되고,

상기 제 4 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 4 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 1 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 2 클럭 신호가 연결되며,

상기 제 2 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 4 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 1 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 2 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 3 클럭 신호가 연결되고,

상기 제 9 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 2 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 3 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 4 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 1 클럭 신호가 연결됨을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 6】

제 3 항에 있어서,

상기 첫 번째 블록 제외한 블록들에서 상기 제 1 스위칭 소자의 게이트 및 소오스에는 그 이전 블록의 출력 신호가 시작 펄스신호로 인가되고, 마지막 블록의 제 8 스위칭 소자에는 시작 펄스 신호가 인가됨을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 7】

제 3 항에 있어서,

상기 제 5 스위칭 소자의 게이트가 상기 제 2 스위칭 소자 또는 제 9 스위칭 소자의 드레인 단에 연결됨을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 8】

제 3 항에 있어서,

제 1 스위칭 소자와 제 2 스위칭 소자 사이에 연결되어 상기 제 2 스위칭 소자의 게이트 전압에 따라 스위칭되는 제 10 스위칭 소자와,

상기 제 8 스위칭 소자와 상기 제 2 스위칭 소자 사이에 연결되어 상기 제 9 스위칭 소자의 게이트 전압에 따라 스위칭되는 제 11 스위칭 소자를 더 구비함을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 9】

제 8 항에 있어서,

상기 제 1, 제 10, 제 2 스위칭 소자들의 접점들과 접지단 사이에 각각 연결된 제 1, 제 2 커패시터들과,

상기 제 8, 제 11 스위칭 소자의 접점과 접지단 사이에 연결된 제 3 커패시터와,

상기 제 6 스위칭 소자의 게이트와 Vss단 사이에 연결된 제 4 커패시터와,

상기 제 6 스위칭 소자의 게이트와 드레인 사이에 연결된 제 5 커패시터와,

상기 제 7 스위칭 소자의 게이트와 상기 Vss단 사이에 연결되는 제 6 커패시터(C6)를 더 구비함을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 10】

제 3 항에 있어서,

상기 각 스위칭 소자는 p-MOS 임을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 11】

복수개의 블록을 구비한 액정표시패널의 구동회로에 있어서,

각 블록은,

소오스와 게이트에 상기 시작 펄스 가 인가되는 제 1 스위칭 소자와,

상기 제 1 스위칭 소자의 드레인에 소오스가 연결되고 드레인은 V_{ss} 단에 연결되는 제 3 스위칭 소자와,

소오스는 V_{dd} 단에 연결되고 게이트는 상기 클럭 신호에 연결되고 드레인은 상기 제 3 스위칭 소자의 게이트에 연결되는 제 4 스위칭 소자와,

소오스가 상기 제 4 스위칭 소자의 드레인에 연결되고 게이트가 상기 제 1 스위칭 소자의 소오스에 연결되며 드레인이 상기 V_{ss} 단에 연결되는 제 5 스위칭 소자와,

소오스가 상기 다른 클럭 신호에 연결되고 게이트가 상기 제 1 스위칭 소자의 드레인에 연결되며 드레인은 출력단에 연결되는 제 6 스위칭 소자와,

소오스가 상기 출력단에 연결되고 게이트가 상기 제 4 스위칭 소자의 드레인에 연결되며 드레인이 상기 V_{ss} 단에 연결되는 제 7 스위칭 소자를 포함하고,

상기 시작 펄스와 첫 번째 블록의 제 1 스위칭 소자의 게이트 및 소오스 사이와, 각 블록의 출력단과 그 다음 블록의 상기 제 1 스위칭 소자의 게이트 및

소오스 사이를 외부의 순방향 제어신호에 따라 스위칭 하는 복수개의 제 8 스위칭 소자와,

상기 시작 펄스와 마지막 블록의 제 1 스위칭 소자의 게이트 및 소오스 사이와, 각 블록의 출력단과 그 이전 블록의 제 1 스위칭 소자의 게이트 및 소오스 사이를 외부의 역방향 제어신호에 따라 스위칭 하는 복수개의 제 9 스위칭 소자를 구비하여 구성됨을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 12】

제 11 항에 있어서,

상기 제 1, 제 3 스위칭 소자들의 접점과 접지단 사이에 연결되는 제 1 커패시터와,

상기 제 6 스위칭 소자의 게이트와 상기 Vss단 사이에 연결되는 제 2 커패시터와,

상기 제 6 스위칭 소자의 게이트와 드레인 사이에 연결되는 제 3 커패시터와,

상기 제 7 스위칭 소자의 게이트와 상기 Vss단 사이에 연결되는 제 4 커패시터를 더 구비함을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 13】

제 11 항에 있어서,

8 개의 블록을 구비하고,

상기 제 6 스위칭 소자의 소오스에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 1 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 2 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 3 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 4 클럭 신호가 인가되고,

상기 제 4 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 3 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 4 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 1 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 2 클럭 신호가 인가됨을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 14】

제 11 항에 있어서,

상기 제 1, 제 3 스위칭 소자 사이에 연결되어 또 다른 클럭 신호에 의해 스위칭 되는 제 2 스위칭 소자를 더 구비함을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 15】

제 14 항에 있어서,

8 개의 블록을 구비하고,

상기 제 2 스위칭 소자의 게이트에 인가되는 클럭 신호는 첫 번째 및 다섯 번째 블록에서 제 4 클럭 신호, 두 번째 및 여섯 번째 블록에서 제 1 클럭 신호, 세 번째 및 일곱 번째 블록에서 제 2 클럭 신호, 네 번째 및 여덟 번째 블록에서 제 3 클럭 신호가 인가됨을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【청구항 16】

제 11 항에 있어서,

상기 첫 번째 블록 제외한 블록들에서 상기 제 1 스위칭 소자의 게이트 및 소오스는 상기 제 8 스위칭 소자를 통해 그 이전 블록의 출력 신호가 시작 펄스 신호로 인가되고, 마지막 블록을 제외한 블록들에서 상기 제 1 스위칭 소자의 게이트 및 소오스는 상기 제 9 스위칭 소자를 통해 그 이후 블록의 출력신호가 시작 펄스신호로 인가됨을 특징으로 하는 액정표시패널의 양 방향 구동회로.

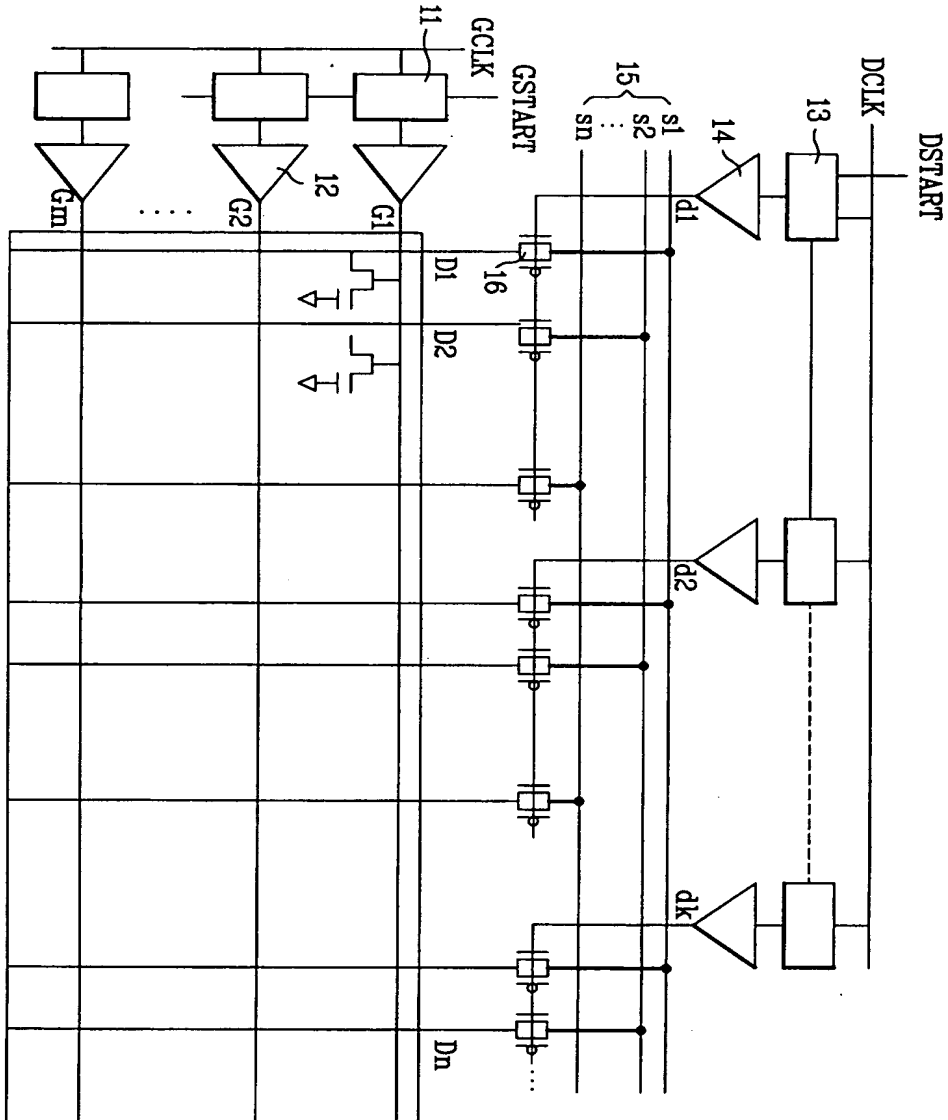
【청구항 17】

제 11 항에 있어서,

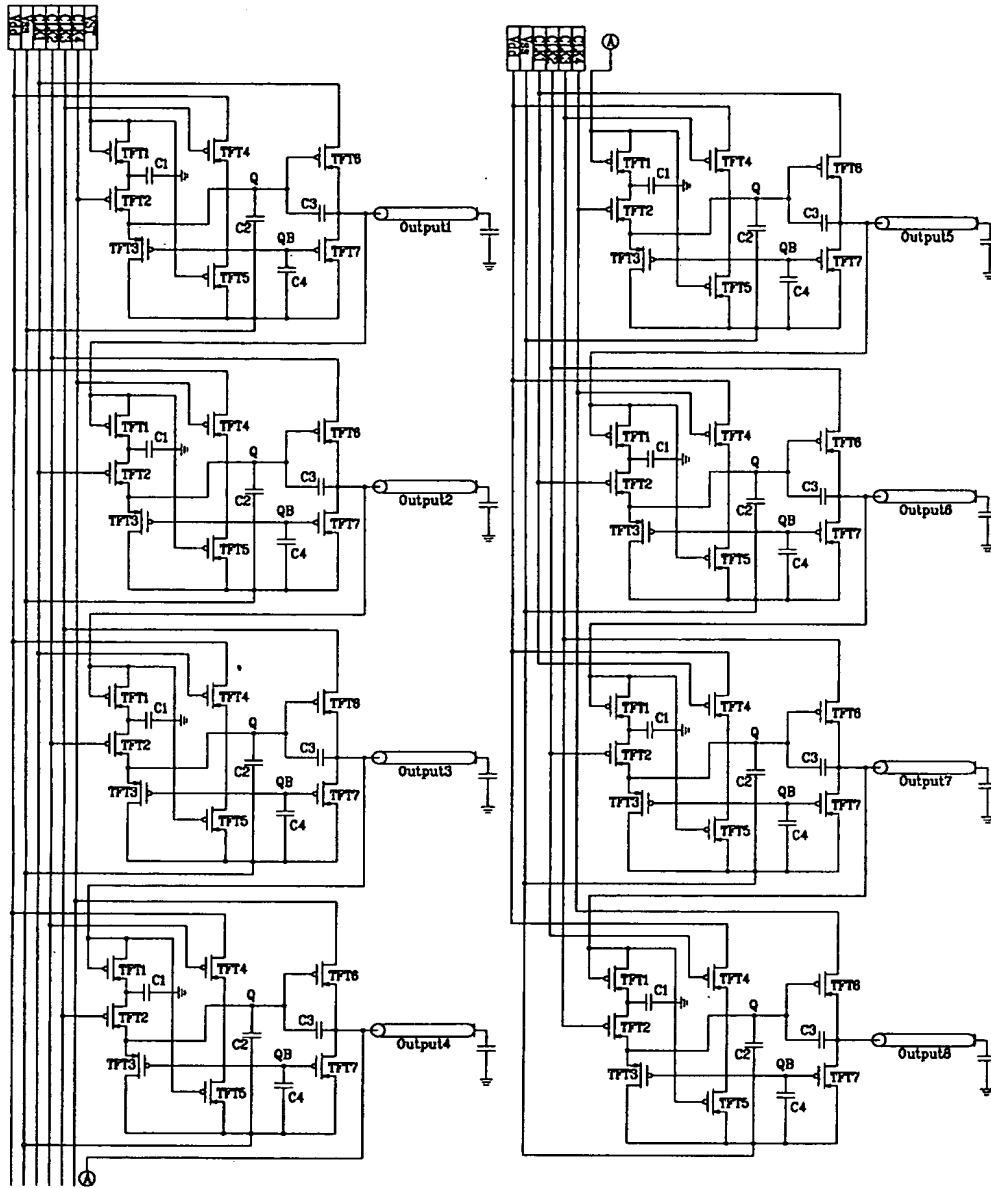
상기 각 스위칭 소자는 p-MOS 임을 특징으로 하는 액정표시패널의 양 방향 구동회로.

【도면】

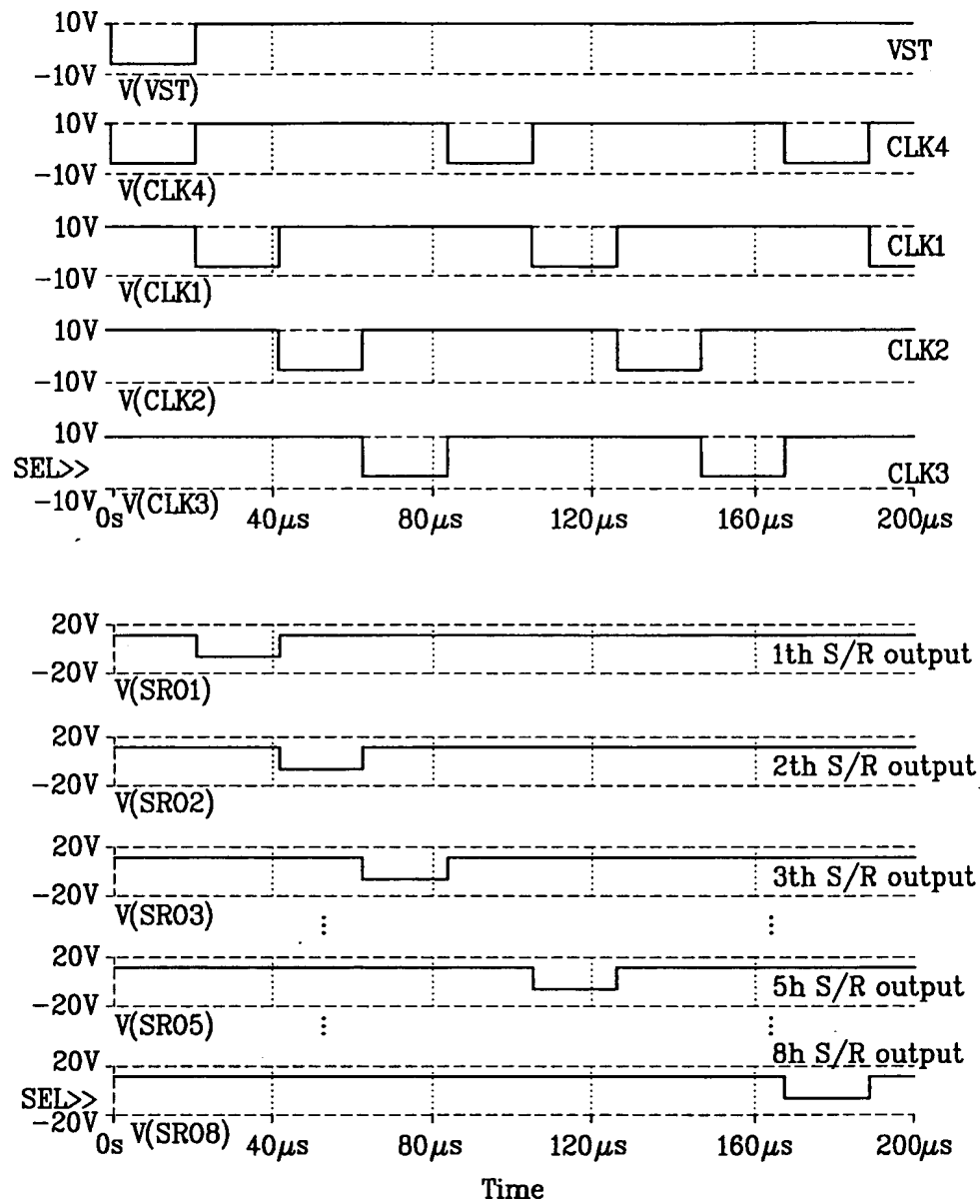
【도 1】



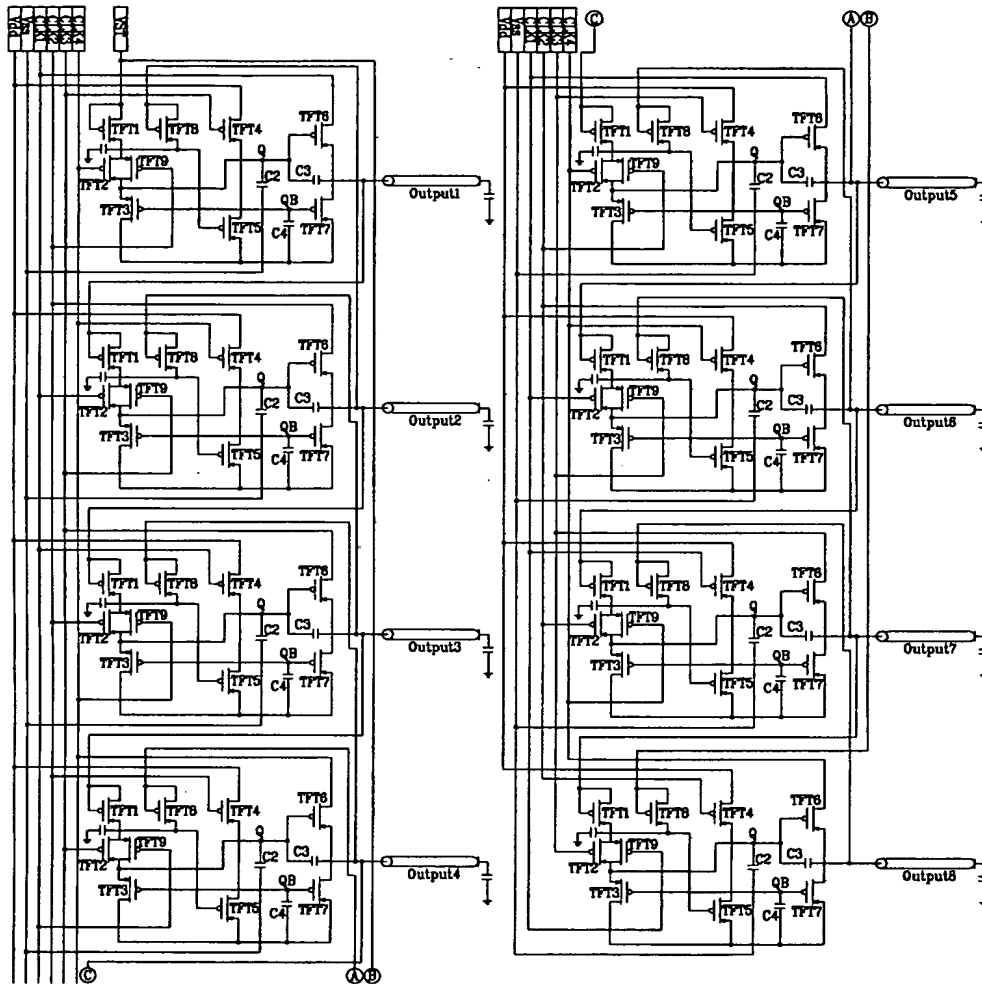
【도 2】



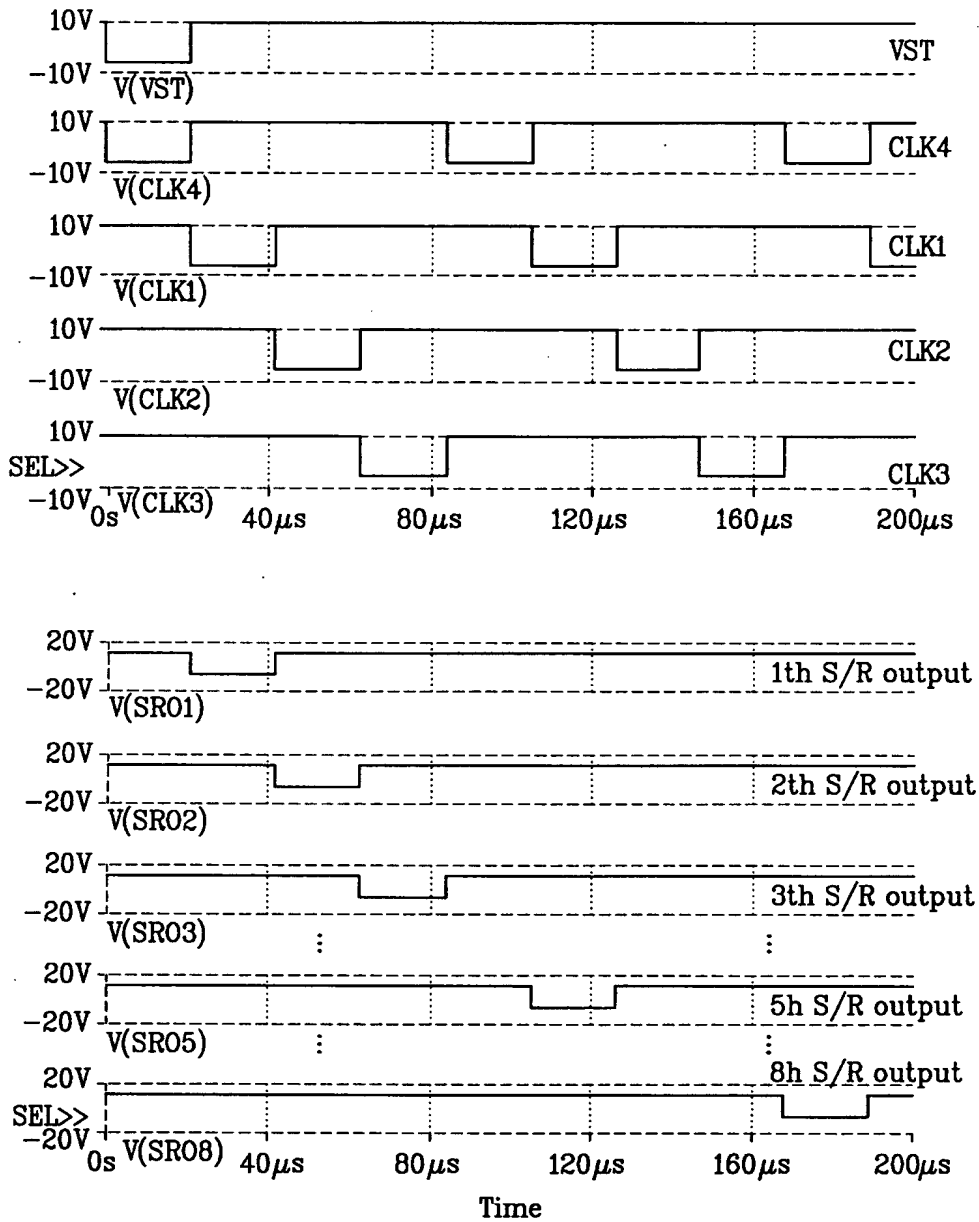
【도 3】



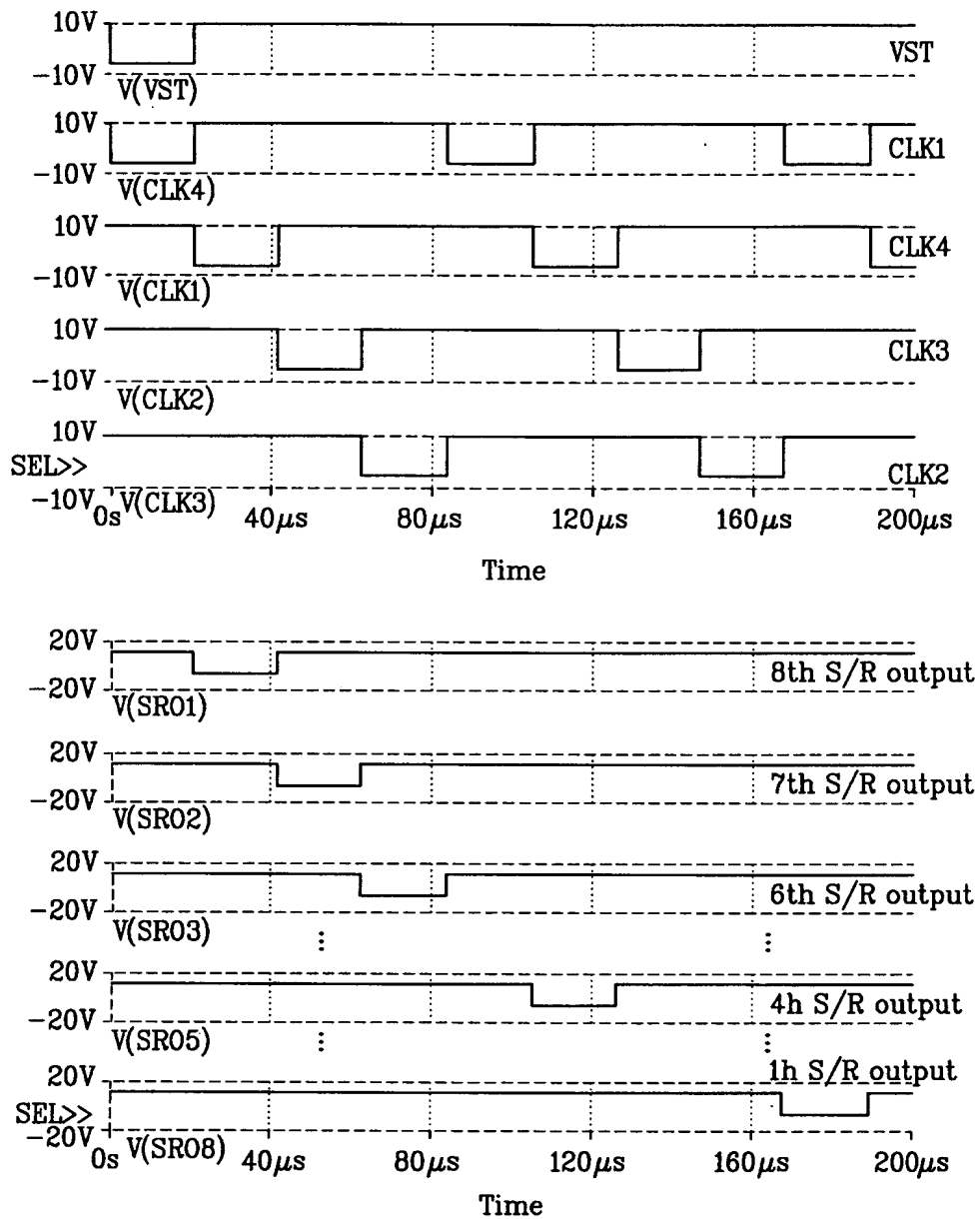
【도 4】



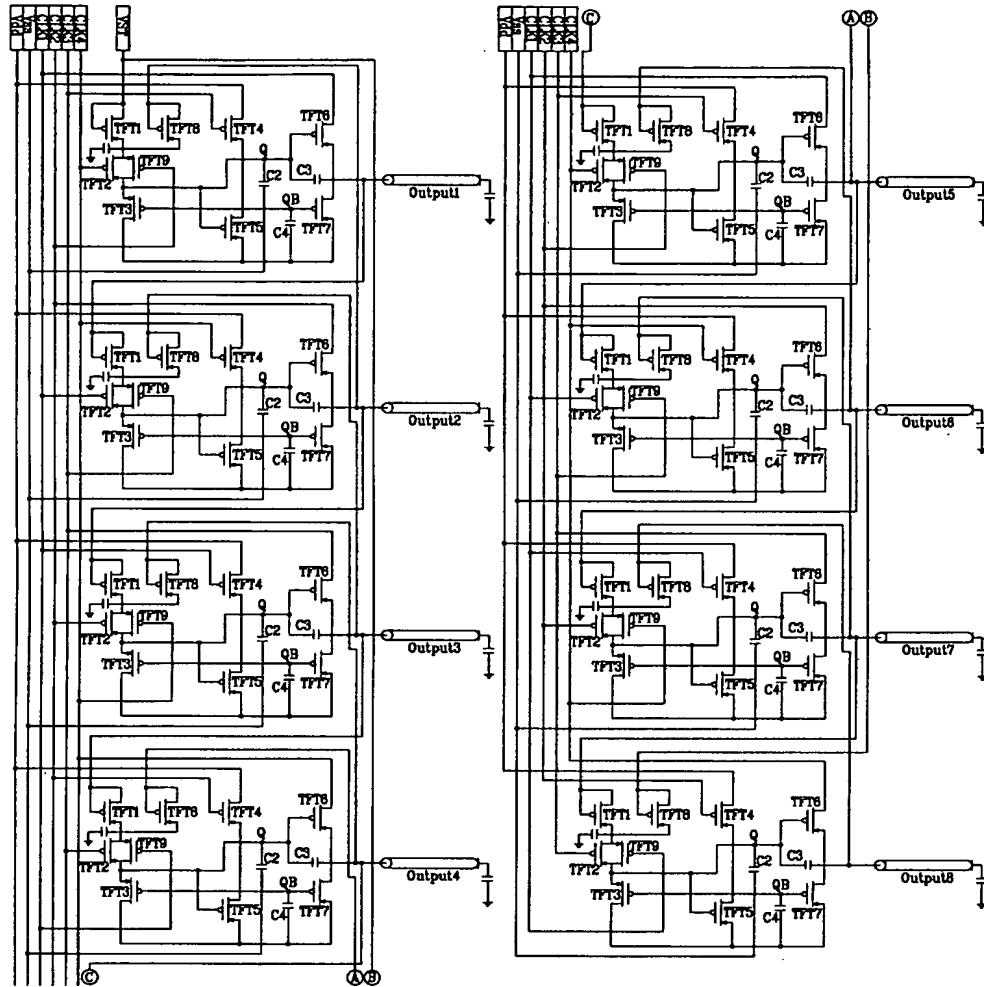
【도 5】



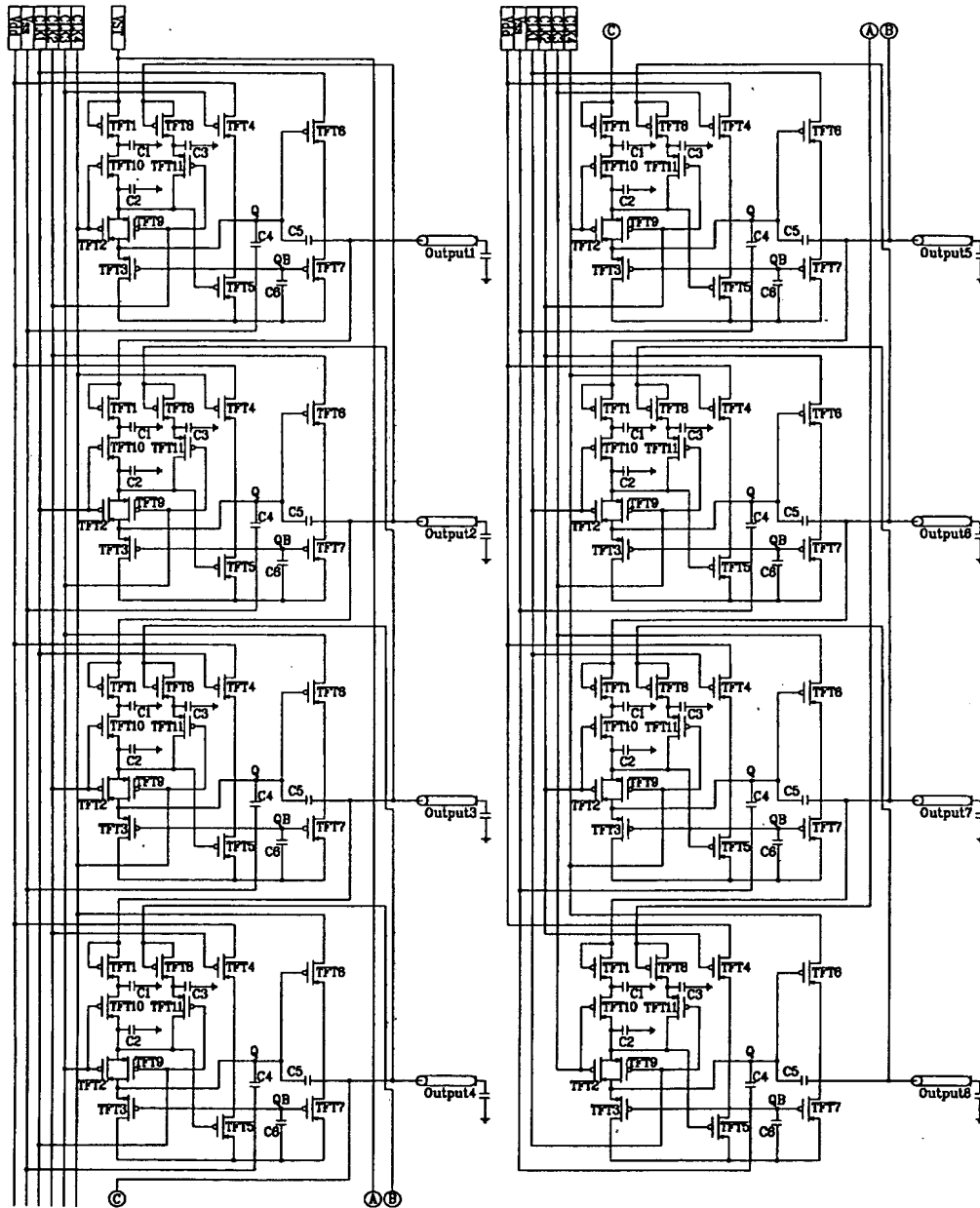
【도 6】



【도 7】



【도 8】



【도 9】

